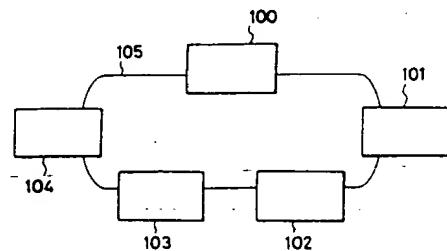


(54) NETWORK MANAGEMENT SYSTEM
 (11) 4-162843 (A) (43) 8.6.1992 (19) JP
 (21) Appl. No. 2-287155 (22) 26.10.1990
 (71) HITACHI LTD(2) (72) TERUMI HARADA(3)
 (51) Int. Cl. H04L12/42

PURPOSE: To allow a management node to recognize the state of all nodes in a ring in the transmission of one monitor frame by applying multiple address transmission of a monitor frame, allowing a general node to receive the monitor frame in which a multiple bit is set without fail and sending an acknowledge frame to the management node from each node.

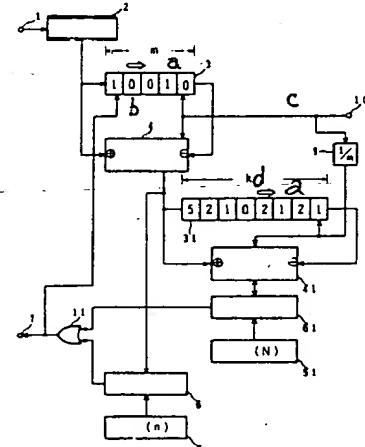
CONSTITUTION: In the case of monitoring general nodes 101-104, a management node 100 sets a multiple address bit to a destination address in a monitor frame and sends the monitor frame. Thus, the monitor frame is an object of reception by all general nodes 101-104 and all the general nodes 101-104 receive the monitor frame unconditionally. Then the general nodes 101-104 receiving the monitor frame check the state of its own node respectively and sends the result to the management node 100 as an acknowledge frame. In this case, the management node 100 receives the acknowledge frame from all the general nodes 101-104 to check the state of each node set in the acknowledge frame. Thus, the state of all nodes on the transmission line 105 together with the management node itself is recognized.



(54) CELL TRAFFIC MONITOR
 (11) 4-162844 (A) (43) 8.6.1992 (19) JP
 (21) Appl. No. 2-287125 (22) 26.10.1990
 (71) NIPPON TELEGR & TELEPH CORP <NTT>
 (72) NAOAKI YAMANAKA(2)
 (51) Int. Cl. H04L12/48, H04L12/24, H04L12/26

PURPOSE: To realize the cell traffic monitor simply realized by a small hardware by comparing and discriminating a count of a 2nd counter circuit with a threshold level over a prescribed time.

CONSTITUTION: Number of valid cells detected for a just preceding m-cell time, i.e., in a short time is counted in a 1st counter circuit 4. Thus, the count of the 1st counter circuit 4 is fetched in a 2nd delay circuit 31 and a 2nd counter circuit 41 and accumulated intermittently for the m-cell time each and when the content of the 2nd counter circuit 41 is subtracted by a delay output of the 2nd delay circuit 31, the count of the 2nd counter circuit 41 is the total sum of valid cells detected for a preceding $M (=m \times n)$ -cell time, that is, for a long time. Then the total sum is compared and discriminated by a threshold level (N) to attain polishing over the $M (=m \times n)$ -cell time. Thus, the cell traffic monitor is realized, which is simply realized with a small practical hardware.

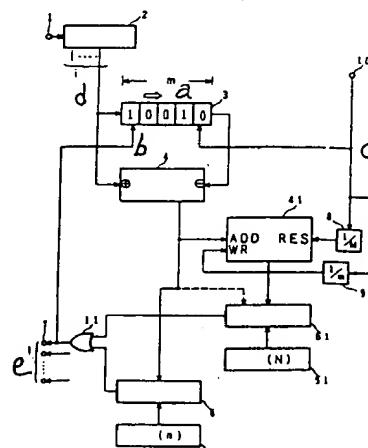


2: cell detection, 4:1: up-down counter, 5: threshold level (n), 6: comparison discrimination, 51: threshold level N, 61: comparison discrimination, a: shift direction, b: clear, c: cell clock, d: k-stage

(54) CELL TRAFFIC MONITOR
 (11) 4-162845 (A) (43) 8.6.1992 (19) JP
 (21) Appl. No. 2-287126 (22) 26.10.1990
 (71) NIPPON TELEGR & TELEPH CORP <NTT>
 (72) NAOAKI YAMANAKA(2)
 (51) Int. Cl. H04L12/48, H04L12/24, H04L12/26

PURPOSE: To realize the cell traffic monitor simply realized by a small hardware by comparing and discriminating a count of a 2nd counter circuit with a threshold level over a prescribed time.

CONSTITUTION: Number of valid cells detected for a just preceding m-cell time, i.e., in a short time is counted in a 1st counter circuit 4. Thus, the count of the 1st counter circuit 4 is fetched in a 2nd counter circuit 41 and accumulated intermittently for the m-cell time each and when the 2nd counter circuit 41 is reset for each $M (=m \times n)$ -cell time, that is, for a long time, the count of the 2nd counter circuit 41 is the total sum of valid cells detected for a preceding $M (=m \times n)$ -cell time. Then the total sum is compared and discriminated by a threshold level (N) to attain polishing over the $M (=m \times n)$ -cell time. Thus, the cell traffic monitor is realized, which is simply realized with a small practical hardware. &A:2: cell detection, 4,1: up-down counter, 5: threshold level (n), 6: comparison discrimination, 51: threshold level N, 61: comparison discrimination, a: shift direction, b: clear, c: cell clock, d: i-sets, e: l-sets



Duplicate

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平4-162844

⑬ Int. Cl.

H 04 L 12/48
12/24
12/26

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月8日

7830-5K H 04 L 11/20
8732-5K 11/08

Z

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 セルトラヒック監視装置

⑮ 特願 平2-287125

⑯ 出願 平2(1990)10月26日

⑰ 発明者 山中直明 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑰ 発明者 佐藤陽一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑰ 発明者 佐藤健一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑰ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑯ 代理人 弁理士 井出直孝 外1名

明細書

1. 発明の名称

セルトラヒック監視装置

2. 特許請求の範囲

1. 被監視信号に同期しその信号中の有効セルの有無を検出するセル検出回路(2)と、

このセル検出回路(2)の検出出力を入力とし m セル時間後に遅延出力を送出する第一の遅延回路(3)と、

前記セル検出回路(2)の検出出力を加算入力とし前記遅延出力を減算入力とする第一のカウンタ回路(4)と、

m セル時間にわたる閾値(n)を保持する第一の閾値保持回路(5)と、

この第一の閾値保持回路が保持する閾値(n)と前記第一のカウンタ回路(4)の計数値とを比較し第一の判定出力を送出する第一の比較判定回路(6)と

を備えたセルトラヒック監視装置において、前記第一のカウンタ回路(4)の計数値を m セル時間毎に入力とし、その計数値を $m \times k$ セル時間後に遅延出力として送出する第二の遅延回路(31)と、

前記計数値を m セル時間毎に加算入力とし前記第二の遅延回路(31)の遅延出力を減算入力とする第二のカウンタ回路(41)と、

$m \times k$ セル時間にわたる閾値(N)を保持する第二の閾値保持回路(51)と、

この第二の閾値保持回路が保持する閾値(N)と前記第二のカウンタ回路(41)の計数値とを比較し第二の判定出力を送出する第二の比較判定回路(61)と

を備えたことを特徴とするセルトラヒック監視装置。

2. 前記第一の判定出力と前記第二の判定出との論理和を演算する論理和回路(11)を備えた請求項2記載のセルトラヒック監視装置。

3. 被監視信号に同期しその信号中の有効セルの

有無を検出するセル検出回路(2)と、

このセル検出回路(2)の検出出力を入力とし m セル時間後に遅延出力を送出する第一の遅延回路(3)と、

前記セル検出回路(2)の検出出力を加算入力とし前記遅延出力を減算入力とする第一のカウンタ回路(4)と

を備えたセルトラヒック監視装置において、

前記第一のカウンタ回路(4)の計数値を m セル時間毎に入力とし、その計数値を $m \times k$ セル時間後に遅延出力として送出する第二の遅延回路(31)と、

前記計数値を m セル時間毎に加算入力とし前記第二の遅延回路(31)の遅延出力を減算入力とする第二のカウンタ回路(41)と、

$m \times k$ セル時間にわたる閾値 (N) を保持する第二の閾値保持回路(51)と、

この第二の閾値保持回路が保持する閾値 (N) と前記第二のカウンタ回路(41)の計数値とを比較し第二の判定出力を送出する第二の比較判定回路

(61)と

を備えたことを特徴とするセルトラヒック監視装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、パケット通信に利用する。本発明はパケット通信網の中で転送されるセル(この明細書では固定長のパケットを「セル」という)のトラヒックを監視する技術に関する。

本発明は、あらかじめ契約されたトラヒックを越えてセルが送信されたときに、契約違反としてそのセルを廃棄するポリシング(Policing, 警察行為)に利用する。

【従来の技術】

パケット通信網では、一つの中継点に一時に多数のセルが集中的に到来すると円滑な運用ができない。このためパケット通信網を運用する通信業者は利用者との契約の中で、

① 利用者は連続する m セル時間内に n 個のセル

を越えてセルの送信をしないこと、

② 通信業者はこれに違反して送信されたセルを廃棄すること

を利用契約の条件とすることが行われる。たとえば $m = 5$ 、 $n = 3$ とすると、連続する 5 セル時間内に 3 セルまで送信できるが、これを越えてセルを送信するとそのセルは廃棄されることになる。このための監視および廃棄はポリシングといわれ、パケット通信網の入口で自動的にかつ継続的に実行される。

第 3 図は従来例装置のブロック構成図である。この回路は本願出願人から特許出願(特願平2-130464号、本願出願時において未公開)されている。この第 3 図に示す回路は、連続する 5 セル時間に 3 セルまで送信できるが 4 セル以上は許されないように監視する回路である。

第 3 図では端子 1 に被監視信号が入力する。セル検出回路 2 はこの被監視信号に同期しその信号中に有效セルがあると検出出力を送出する。遅延回路 3 はこの検出出力を入力とし、この遅延回路

3 はシフトレジスタにより構成され、国外のクロック信号により 1 セル時間毎に 1 段ずつ図の右方向にシフトされる。すなわちこの遅延回路 3 はその入力が m セル時間後に遅延出力に送出される。アップダウン・カウンタ 4 の加算入力にはセル検出回路 2 の検出出力が入力し、その減算入力には前記遅延回路 3 の遅延出力が入力する。閾値保持回路 5 は契約により設定された閾値 n を保持する。この閾値 n と上記アップダウン・カウンタ 4 の内容 S とを比較し、

$$S > n$$

ならば禁止出力を端子 7 に送出する。この禁止出力により国外の装置でそのセルは廃棄される。

このように構成された回路ではアップダウン・カウンタ 4 には、過去の m セル時間に検出されたセルの数が記憶されることになり、これが設定された閾値 n を越えると禁止出力が端子 7 に送出される。端子 7 に禁止出力が送出されると、国外の回路で伝送路上でいま検出されたセルは廃棄される。そのセルは廃棄されたのであるから、アップ

ダウン・カウンタ4の第一段の値は判定出力によりクリアされる。

ここで、このmおよびnは上記のように小さい値について契約設定される場合だけでなく、大きい値、たとえばm=10000、n=300すなわち1万セル時間について300セルを超えないというような条件を設定することがある。さらに、上記の小さい値とこの大きい値とを共に契約条件とすることもある。それは、mの値を大きく設定すると多数の利用者が伝送路を共用することができる多重化効果が上がる所以有利であるからである。

【発明が解決しようとする課題】

この従来例装置は、連続する任意の位相についてセル時間mにわたるセル数を監視できる優れた回路であるが、セル時間mはシフトレジスタの段数で決まる。したがって上述のようにmの値としてきわめて大きい値が設定されても、m段のシフトレジスタを用意しなければならないからハードウェアが大きくなる欠点がある。mの値が1万を越えるようなときには、ハードウェアの規模は現

実的ではなくなる。

第4図は横軸にmの値をとり、縦軸に必要なハードウェア量をビット数で示す図である。パラメタとしてVPI (Virtual Path Identifier: パーチャルバス番号) の数がそれぞれ1000、2000、4000の場合について示す。VPIとは各セルのヘッダに付された仮想経路別の識別番号であって、上記第3図の例に示すように一つの端末について送信セルを監視する場合には必ずしもVPIによる区分けは必要ないが、中間の中継ノードで複数の端末から送信され複数の端末に当てるセルの監視を行う場合にはVPIによる識別が必要である。第4図からわかるようにmの値を数万とすると、セル監視装置のために百万ビット前後のハードウェアを必要とすることになって現実的な装置を設計することはできなくなる。

本発明はこれを改良するもので、mのきわめて大きい値についても小さいハードウェアで簡単に対応できるセルトラヒック監視装置を提供することを目的とする。

さらに本発明はmの小さい値についても併せて監視することができるセルトラヒック監視装置を提供することを目的とする。

【課題を解決するための手段】

本発明の装置は、mセル時間 (mは2以上の整数) にわたるセル検出出力の数をmセル時間毎に入力し、M=m×kセル時間後に (kは整数、一般に大きい値をとる) 遅延出力を送出する第二の遅延回路と、この第二の遅延回路の入力を加算入力としこの第二の遅延回路の遅延出力を減算入力とする第二のカウンタ回路とを設け、この第二のカウンタ回路の計数値をM=m×kセル時間にわたる閾値 (N) と比較判定することを特徴とする。

本発明の装置の第一は従来例装置に第二の遅延回路(31)、第二のカウンタ回路(41)、第二の閾値保持回路(51)、および第二の比較判定回路(61)を付加したものである。

第一の比較判定回路および第二の比較判定回路を共に備える構成では、この二つの比較回路について各々判定出力を得ることができるほかに、二

つの比較判定出力の論理和を作りこれを装置出力とすることができる。

本発明の装置をmの大きい値についてのみ利用しmの小さい値について併せて監視する必要でない場合には、従来例装置にある第一の比較判定回路(6)および第一の閾値保持回路(5)は不要である。これが本発明の装置の第二である。

【作用】

直前の過去mセル時間 (短時間) にわたり検出された有効セルの数が第一のカウンタ回路(4)に計数されている。したがって、mセル時間毎に間歇的にこの第一のカウンタ回路(4)の計数値を第二の遅延回路(31)および第二のカウンタ回路(41)に読み込み加算し、この第二のカウンタ回路(41)をこの第二の遅延回路(31)の遅延出力で減算していくと、第二のカウンタ回路(41)の計数値は過去M=m×kセル時間 (長時間) にわたり検出された有効セル数の総和となる。この総和を閾値 (N) と比較判定することにより、M=m×kセル時間にわたるポリシングが可能になる。

【実施例】

第1図は本発明第一実施例装置のブロック構成図である。この実施例装置では、被監視信号は端子1に入力する。この被監視信号に同期しその信号中の有効セルの有無を検出するセル検出回路2を備える。セルクロック信号は端子10に入力する。このセルクロック信号はセル時間毎に1パルスが到来するクロック信号である。

このセル検出回路2の検出出力を入力とし m セル時間後に遅延出力を送出する第一の遅延回路として m 段のシフトレジスタ3を備える。このシフトレジスタ3は1セル時間毎にセルクロック信号により図の右方にシフトされる。さらに、セル検出回路2の検出出力を加算入力としこのシフトレジスタ3の m 段目からシフトアウトされる遅延出力を減算入力とする第一のカウンタ回路4を備える。さらに、 m セル時間にわたる閾値(n)を保持する第一の閾値保持回路5と、この第一の閾値保持回路5が保持する閾値(n)と前記第一のカウンタ回路4の計数値とを比較し第一の判定出力

を送出する第一の比較判定回路6とを備える。

ここで、本発明のセルトラヒック監視装置の特徴として、前記第一のカウンタ回路4の計数値を m セル時間毎に入力とし、その計数値を $m \times k$ セル時間後に遅延出力として送出する第二の遅延回路として、セルクロック信号の m 倍の周期でシフトされる k 段のシフトレジスタ31を備える。このためのクロック信号はセルクロック信号を分周回路9で分周して得られる。また、その計数値を m セル時間毎に加算入力としこのシフトレジスタ31の k 段目からシフトアウトされる遅延出力を減算入力とする第二のカウンタ回路41を備える。さらにこの装置は、 $m \times k$ セル時間にわたる第二の閾値(N)を保持する第二の閾値保持回路51と、この第二の閾値(N)と第二のカウンタ回路41の計数値とを比較し第二の判定出力を送出する第二の比較判定回路61とを備える。この第一の判定出力と第二の判定出力は論理和回路11により論理和が演算され端子7に送出される。端子7の信号は図外の装置で処理され、そのときそのノードに到来

し、いま検出されたセルは中継されることなく廃棄される。そのセルは廃棄されたのだから、端子7の判定出力が送出されたときにシフトレジスタ3の第一段の値「1」はクリアされる。

第一のカウンタ回路4および第二のカウンタ回路41は非負演算回路である。すなわち、これらのカウンタは減算値が過剰であっても零を越えて負側に演算されることはなく、その計数値は零が最低限度である。もっとも装置のすべてが正常動作をしているときにはこれらのカウンタは負に演算されることはない。

この装置では、カウンタ回路4にはシフトレジスタ3にある「1」の数の和、つまり過去 m セル時間にわたり検出された有効セルの数と等しい数が計数値として保持されている。したがって、この計数値を m セル時間毎に間歇的に（毎セル時間ではない） k 回累積加算すると、過去 $m \times k$ セル時間にわたり検出された有効セルの数となる。これが第二のカウンタ回路41の計数値となる。したがって、第二のカウンタ回路41の計数値を第二の

閾値(N)と比較判定することにより、長時間 $m \times k$ セル時間にわたる監視を行うことができる。

このような装置では、連続する m セル時間（短時間）にわたり送信するセル数が k を越えない、とする契約に加えて、 $M = m \times k$ セル時間（長時間）にわたり送信するセル数が N を越えない、とする契約を設定し、この契約に違反して過剰に送信されたセルについては中継ノードで廃棄するポリシングを行うことができる。これに加えてこのためのハードウェア量を小さくすることができる。

必要なハードウェア量について説明すると、長時間 $m \times k$ セル時間について監視を行う場合に、第3図で説明した従来例装置ではシフトレジスタの必要な段数は $m \times k$ 段であるが、本発明実施例装置では $m + k$ 段であり、 $m \times k$ の値が大きいときに、本発明はきわめて有効である。

第2図は本発明第二実施例装置のブロック構成図である。この実施例は前記第一実施例装置の構成から第一の閾値保持回路5、第一の比較判定回路6および論理和回路11を省いた構成である。す

なわちこの第二実施例装置の構成は、 $m \times k$ セル時間（長時間）の監視のみを行い、 m セル時間（短時間）の監視を行う必要がない場合に利用される。

この第二実施例装置の動作は上記第一実施例装置の動作と同様に理解できるのでここでは詳しい説明を省略する。この第二実施例装置では長時間の監視を行う場合にそのハードウェア量がきわめて小さくなる利点がある。

上記二つの実施例装置について、シフトレジスタ3および31、カウンタ回路4および41はそれぞれハードウェアにより構成するように説明したが、これらのシフトレジスタ3および31、カウンタ回路4および41は、一つのメモリ（RAM）、プログラム制御回路（CPU）およびプログラムを記憶させるメモリ（ROM）を組み合わせたファームウェアにより同様の機能の回路を実現することができる。これらのメモリおよびCPUは一般に量産されているハードウェアを用いて容易にかつ安価に構成することができる。

4. 図面の簡単な説明

第1図は本発明第一実施例装置のブロック構成図。

第2図は本発明第二実施例装置のブロック構成図。

第3図は従来例装置のブロック構成図。

第4図は m の値に対するハードウェア量の増大を説明する図。

1…被監視信号が入力する端子、2…セル検出回路、3…第一の遅延回路としてのシフトレジスタ、4…第一のカウンタ回路、5…第一の閾値保持回路、6…第一の比較判定回路、7…判定出力が送出される端子、9…分周回路、10…セルクロック信号が入力する端子、11…論理和回路、31…第二の遅延回路としてのシフトレジスタ、41…第二のカウンタ回路、51…第二の閾値保持回路、61…第二の比較判定回路。

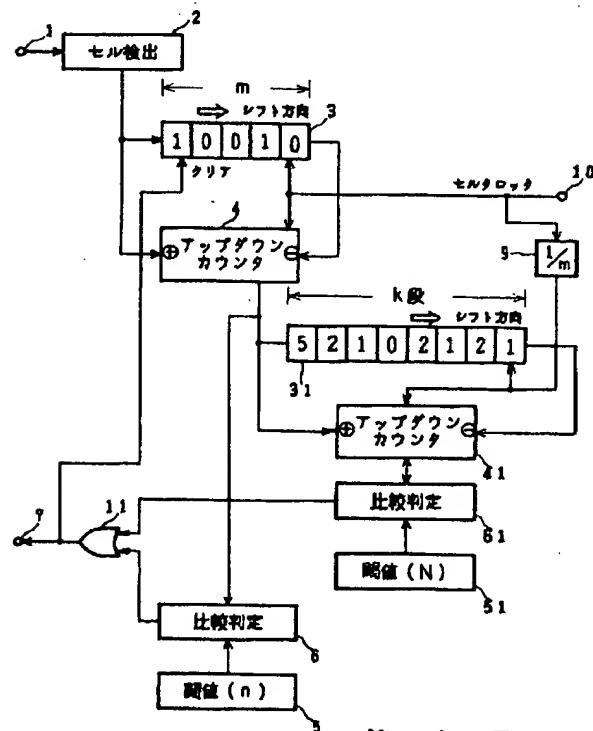
特許出願人 日本電信電話株式会社
代理人弁理士 井出直孝
(ほか1名)

ファームウェアによりこれを実現する場合には、第1図に例示する回路または第2図に例示する回路の複数を少數のメモリおよびプログラム制御回路の組み合わせの中に同時に構成することができる。これは、多数のVPI（上記参照）について並列的なポリシングを必要とする通信網内のノードに設ける装置としてきわめて有用である。

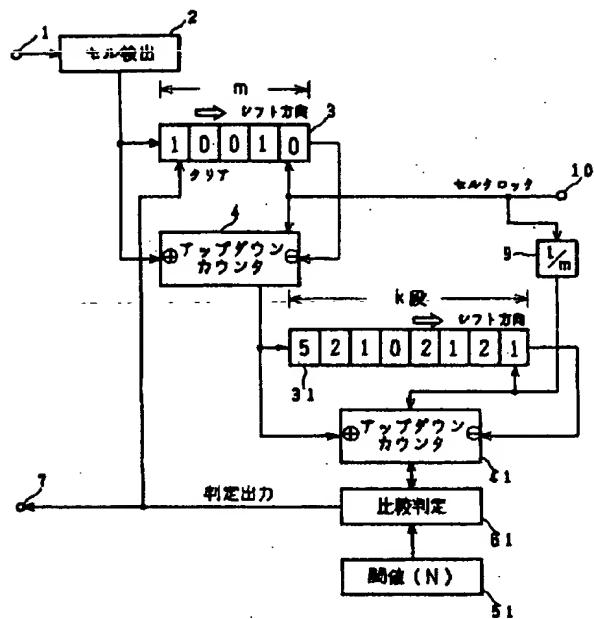
【発明の効果】

以上説明したように、本発明によれば監視すべき条件、 m セル時間内に k セルまで許容されるという条件で m をきわめて大きい値に設定して長時間の監視を行う場合にも、その値に比例してハードウェア量が大きくなるようなことはなく、現実的な小さいハードウェアで簡単に実現することができるセルトラヒック監視装置が得られる。

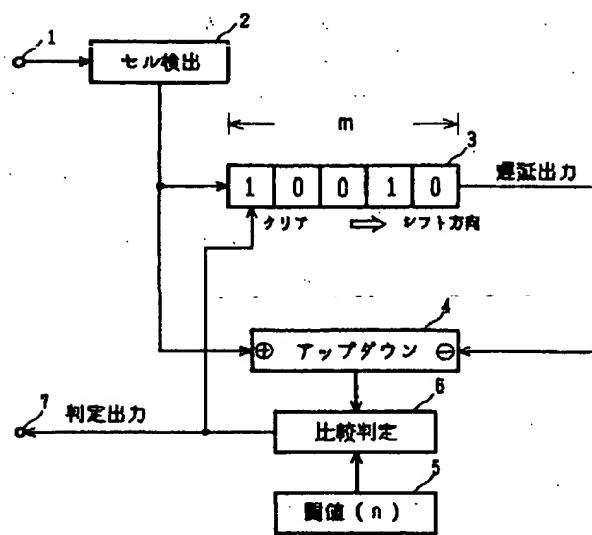
また、本発明によれば m の値を小さい値と大きい値について共に設定するような契約条件についても、合理的に対応するセルトラヒック監視装置を実現することができる。



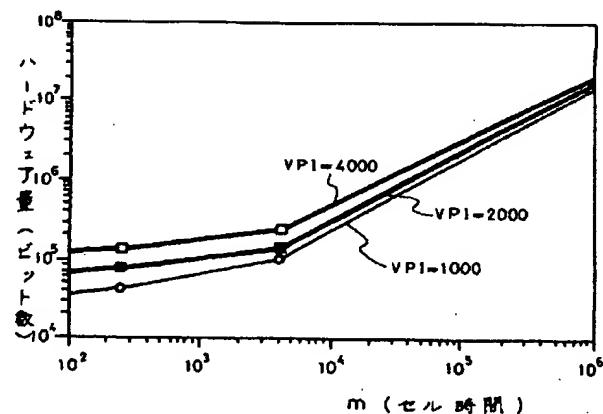
第1図



第 2 図



第 3 図 従来例



第 4 図